

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-223693
 (43)Date of publication of application : 11.08.2000

(51)Int.CI. H01L 29/417
 H01L 23/12
 H01L 21/331
 H01L 29/73
 H01L 29/78

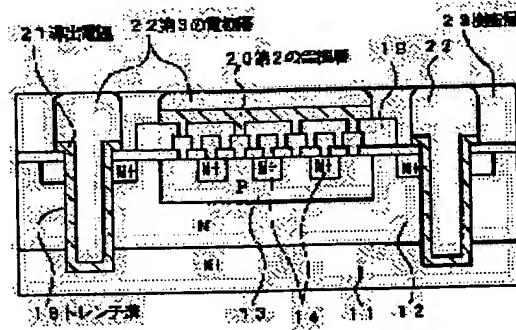
(21)Application number : 11-022185 (71)Applicant : SANYO ELECTRIC CO LTD
 (22)Date of filing : 29.01.1999 (72)Inventor : OKADA TETSUYA

(54) FABRICATION OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize wafer scale chip size package even for a three terminal element by making a trench and leading out the rear side terminal to the surface side.

SOLUTION: A bipolar transistor is fabricated by forming the base and emitter on the lightly doped layer 12 side of a semiconductor wafer having a heavily doped layer 11 and the lightly doped layer 12. A trench 18 reaching the heavily doped layer 11 is made at a position surrounding the base and lead out to the surface side through a lead-out electrode 21. Surface side of the semiconductor wafer is coated with a resin layer 23 and a third electrode layer 22 for the base, emitter and collector is exposed on the surface of the resin layer 23. Finally, the semiconductor wafer 24 diced together with the resin layer 23 to obtain individual semiconductor devices.



LEGAL STATUS

[Date of request for examination] 25.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-223693

(P2000-223693A)

(43)公開日 平成12年8月11日(2000.8.11)

(51)Int.Cl.⁷

識別記号

F I

デマコード(参考)

H 01 L 29/417

H 01 L 29/50

B 4 M 1 0 4

23/12

23/12

L 5 F 0 0 3

21/331

29/72

29/73

29/78

6 5 2 L

29/78

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21)出願番号

特願平11-22185

(71)出願人 000001889

三洋電機株式会社

(22)出願日

平成11年1月29日(1999.1.29)

大阪府守口市京阪本通2丁目5番5号

(72)発明者 岡田 哲也

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100111383

弁理士 芝野 正雅

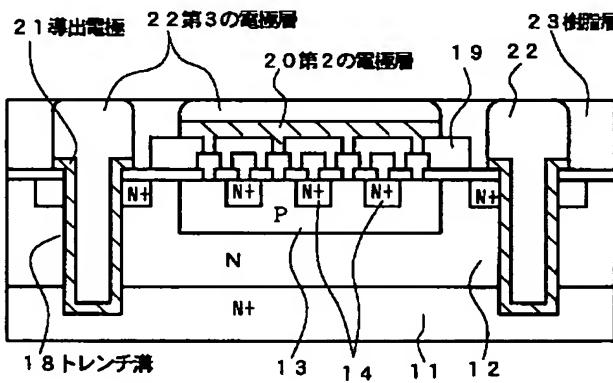
F ターム(参考) 4M104 BB02 BB04 CC01 FF01 FF13
FF27 FF34 GG06 GG09 HH16
5F003 AZ07 BC02 BC08 BH14

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 トレンチ溝を設けて裏面側端子を表面側に導出することにより、3端子型素子であってもウェハスケールでのチップサイズパッケージを可能にする。

【解決手段】 高濃度層11と低濃度層12をもつ半導体ウェハの低濃度層12側にベース、エミッタを形成してバイポーラトランジスタとする。ベースを囲む位置に高濃度層11に達するトレンチ溝18を形成し、導出電極21によって表面側に導出する。半導体ウェハ表面側を樹脂層23で被覆し、樹脂層23表面にベース、エミッタ、コレクタ用の第3の電極層22を露出させる。樹脂層23と共に半導体ウェハ24をダイシングして、個々の半導体装置を得る。



【特許請求の範囲】

【請求項1】 高濃度層と低濃度層とを有し、半導体素子複数個分に相当する半導体ウェハを準備する工程と、前記低濃度層の表面から前記高濃度層に達する溝を形成する工程と、前記溝の表面に露出した高濃度層に接触し、前記低濃度層の表面まで導出される導出電極を形成する工程と、前記導出電極及び前記半導体素子の電極に各々接続される、接続電極を形成する工程と、前記接続電極の頭部を露出するように、前記半導体ウェハの表面を絶縁体で被覆する工程と、前記半導体ウェハを前記半導体素子の個々に分割する工程と、を具備し、前記高濃度層を前記導出電極を介して前記半導体ウェハの表面側に導出したことを特徴とする、半導体装置の製造方法。

【請求項2】 前記半導体素子が3端子素子であることを特徴とする、請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特に半導体チップ裏面側を取り出し電極の1つとする3端子素子における、ウェハスケールチップサイズパッケージに関する。

【0002】

【従来の技術】従来の半導体装置の組立工程においては、ウェハからダイシングして分離した半導体チップをリードフレームに固着し、金型と樹脂注入によるトランスマーモールドによってリードフレーム上に固着された半導体チップを封止し、封止された半導体チップを個々の半導体装置毎に分離するという工程が行われている。リード端子が樹脂の外側に突出すること、トランスマーモールド金型の精度の問題などにより、外形寸法の縮小化には限界が見えていた。

【0003】近年、外形寸法を半導体チップサイズと同等あるいは近似した寸法にまで縮小する事が可能な、ウェハスケールCSP（チップサイズパッケージ）が注目され始めている。これは、図12を参照して、半導体ウェハ1に各種拡散などの前処理を施して多数の半導体チップ2を形成し、半導体ウェハ1の上部を樹脂層3で被覆すると共に樹脂層3表面に外部接続用の電極4を導出し、その後半導体ウェハ1のダイシングラインに沿って半導体チップ1を分割して、図12(C)に示したような完成品としたものである。樹脂層3は半導体チップ1の表面（裏面を被覆する場合もある）を被覆するだけであり、半導体チップ1の側壁にはシリコン基板が露出する。電極4は樹脂層3下部に形成された集積回路網と電気的に接続されており、実装基板上に形成した導電パターンに対して電極4を対向接着することによりこの半導体装置の実装が実現する。

【0004】斯かる半導体装置は、装置のパッケージサイズが半導体チップのチップサイズと同等であり、実装基板に対しても対向接着で済むので、実装占有面積を大幅に減らすことが出来る利点を有する。また、後工程に拘わるコストを大幅に減じることが出来る利点を有するものである。（例えば、特開平9-64049号）

【0005】

【発明が解決しようとする課題】しかしながら、半導体基板の裏面側を取り出し電極の一つとして、動作電流を半導体チップの厚み方向に流す3端子型の半導体素子、例えば基板をコレクタとするバイポーラ型トランジスタや、基板を共通ドレインとするパワーMOSFET装置では、前記コレクタやドレインを半導体チップ表面側に導出する手段がなく、この為にウェハスケールでのCSP装置を実現することが困難である欠点があった。

【0006】また、NPN型トランジスタを例にすると、チップ表面に形成したベース領域の周囲にコレクタ端子を設け、ここから樹脂層3表面に露出する電極4を導出することも考えられるが、コレクタは通常、ベース領域を形成するための低濃度層と、裏面電極を形成するための高濃度層とのN/N+2層構造を採用しており、低濃度のN型層から電極4を導出すると、直列抵抗成分が高くなってしまい、素子特性を劣化させる欠点があった。

【0007】

【課題を解決するための手段】本発明は上述した従来の欠点に鑑みて成されたものであり、高濃度層と低濃度層とを有し、半導体素子複数個分に相当する半導体ウェハを準備する工程と、前記低濃度層の表面から前記高濃度層に達する溝を形成する工程と、前記溝の表面に露出した高濃度層に接触し、前記低濃度層の表面まで導出される導出電極を形成する工程と、前記導出電極及び前記半導体素子の電極に各々接続される、接続電極を形成する工程と、前記接続電極の頭部を露出するように、前記半導体ウェハの表面を絶縁体で被覆する工程と、前記半導体ウェハを前記半導体素子の個々に分割する工程と、を具備し、前記高濃度層を前記導出電極を介して前記低濃度層側に導出したことを特徴とするものである。

【0008】

【発明の実施の形態】以下に本発明の実施の形態を、NPNトランジスタを例にして詳細に説明する。

【0009】第1工程：図1参照

まず、半導体ウェハ10にNPNトランジスタを構成するための各種拡散領域を形成する。半導体ウェハ10は、裏面側にN+型高濃度層11を有し、表面側に実質的なコレクタとなるN型の低濃度層12を形成したもので、N型半導体基板の両面にN+層を拡散した後にウェハを研磨した素材か、あるいはN+基板の上にN型のエピタキシャル層を形成したものを用いる前工程として、低濃度層12の表面に選択的にボロン等のP型不純物を選択拡散してベース領域13を形成し、さらにベース領

域13表面にリン等のN型不純物を選択拡散してエミッタ領域14とN+ガードリング領域15を形成する。符号16はシリコン酸化膜である。

【0010】この状態での半導体チップ1のパターン形状を図2に示した。ここでは、ベース領域13の表面に格子状のエミッタ領域14を形成し、該格子の目の部分に島状のベース領域13が規則的に点在するようなパターン形状とした。

【0011】第2工程：図3参照

シリコン酸化膜16にコンタクト孔を形成し、蒸着あるいはスパッタ法によってアルミニウムを堆積した後これをパターニングする事によって、ベースとエミッタ用の第1の電極17を形成する。図2のパターン形状に従えば、ベース電極は島状ベースの各々に点在し、エミッタ電極は格子状の配列となる。

【0012】第3工程：図4参照

ベース領域13を囲む領域に、低濃度層12を貫通し高濃度層11に達するトレンチ溝18を形成する。トレンチ溝18はベース領域13を囲む環状のパターンでも良いし、周囲の一部に部分的に配置することも可能である。トレンチ溝18はN+ガードリング領域15に境を接している。

【0013】その後、第1の電極17の上にCVD法によってBPSG膜等の層間絶縁膜19を形成し、スルーホールを形成する。スルーホール形成後はトレンチ溝18内部の酸化膜は除去されているものとする。そして、蒸着あるいはスパッタ法によって全面にアルミニウムを形成し、これをパターニングして第2の電極層20を形成する。第2の電極層20はトレンチ溝18内部で高濃度層11に接触し、トレンチ溝18内壁に沿って低濃度層12表面まで導出されて、導出電極21を形成する。導出電極21は、トランジスタのコレクタを表面側に導出する電極となる。

【0014】このときの平面図を図5に示す。ベース領域の周囲を囲むようにトレンチ溝18と導出電極21とが形成され、第2の電極層20はスルーホールを介して第1の電極層17にコンタクトし、ベースとエミッタ用の電極を形成する。

【0015】第4工程：図6参照

導出電極21を含めて、第2の電極層20に接触する第3の電極層22を形成する。第1と第2の電極層17、20が蒸着法などによって膜圧が0.5~2.0μm程度であるのに対し、第3の電極層22は半田ボールの接着や半田メッキ法などによって、50~200μmもの膜厚に形成する。

【0016】このときの平面図を図7に示す。ベース領域13に接続される電極をベース電極、エミッタ領域14に接続される電極をエミッタ電極、導出電極20に接続される電極をコレクタ電極として、第3の電極層22が3端子分形成されている。各端子の間隔は実装基板上の

配線ピッチの規格に合致しており、0.2mmあるいは0.5mm程度の間隔で設けられている。

第5工程：図8参照

第3の電極層22が形成された半導体ウェハを樹脂封止して、上部を樹脂層23で被覆する。第3の電極層22の頭部が露出するような形態で金型で封止するか、あるいは第3の電極層22を完全に埋設するような形態で封止した後に表面を研磨して、第3の電極層22の頭部を露出させる手段でもよい。このとき、半導体ウェハの裏面側（高濃度層11側）も樹脂層23で被覆することが可能である。また、樹脂層23表面に露出した第3の電極層22に対して、更に半田ボールなどの材料を接続してもよい。

【0017】第6工程：図9参照

以上の工程で製造された半導体ウェハ24をダイシング装置に移送し、半導体ウェハ24のダイシングラインに沿って、樹脂層23と共に半導体ウェハ24をダイシングブレード25でダイシングする。ダイシングによって個々の半導体チップに分離された半導体装置を図10に示した。半導体チップの側壁はダイシングによって切断されたシリコン表面が露出している。

【0018】以下に、チップ裏面側を電極とする場合には0.85mm×0.85mmのチップサイズでパターン設計可能な素子を、本発明用途に設計し直す場合を考察する。ユーザ側で設計可能な配線間ピッチを0.2mmとすると、素子側には電極の線幅が0.2mm以上、電極と電極との間隔も0.2mm以上維持する必要が生じる。すると、3端子用に3つの電極を並べる為には、最低でも1.0mmのチップサイズが必要になる。

【0019】そこで、第1と第2の配線層17、20のパターン設計を考慮する。図11(A)を参照して、ベース電極となる第1の電極層17aを島状に点在させ、その周囲をエミッタ電極となる第1の電極層17bが格子状に取り囲む形状とする。層間絶縁膜19を挟み、第2の電極層20a、20bが半導体チップ表面を2分割するような形状で設計する。ベース電極となる第2の電極層20aは第1の電極層17aに、エミッタ電極となる第2の電極層20bは第1の電極層17bに各々層間接続される。第2の電極層20bの下に位置する第1の電極層17aは、ストライプ状に延在して第2の電極層20aの下部まで延在し、その端部で第2の電極層20aに層間接続する。第1の電極層17bは、格子状にチップ全面に延在しているのでこの様な手法は無用である。

【0020】そして、図11(B)に示したように、従来のチップサイズ30(0.85mm×0.85mm)に対してチップサイズを1.2mm×1.2mmまで拡張して、コレクタ電極を配置する領域を確保する。その拡張した領域にトレンチ溝19を延在させ、導出電極21も同様に配置する。第2の電極層20の上にベース及

びエミッタ用の第3の電極層22a、22bを形成し、導出電極21上にコレクタとなる第3の電極層22cを配置する。なお、トレンチ溝18は必ずしも環状である必要がなく、例えばコの字型にしてチップサイズの低減を図るのも良い。

【0021】斯かる方法によって製造された半導体装置は、高濃度層11に達するトレンチ溝18を形成し、導出電極21によって半導体チップ表面側にコレクタ端子を導出したので、3端子型の半導体素子であってもウェハスケール型のチップサイズパッケージを得ることが出来る。また、導出電極18が高濃度層11に達しているので、コレクタの取り出し抵抗を小さく押さえることが出来る。

【0022】なお、半導体素子としてはバイポーラ型トランジスタの他にも、パワーMOSFET装置などにも適用できることは言うまでもない。

【0023】

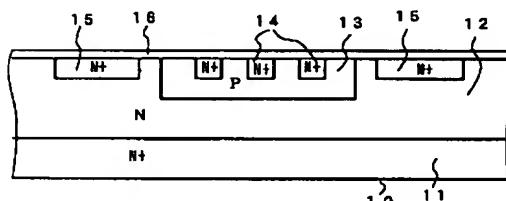
【発明の効果】以上に説明したように、本発明によれば、チップ裏面側を電極とする3端子型の半導体素子で

あっても、3端子全てを表面側に導出して、ウェハスケールでのチップサイズパッケージを得ることが出来る利点を有する。このとき、トレンチ溝18を設けることで導出電極18を高濃度層11に直接接触させたので、取り出しの直接抵抗を減じることが出来る利点をも有する。

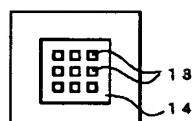
【図面の簡単な説明】

- 【図1】本発明を説明するための断面図である。
- 【図2】本発明を説明するための平面図である。
- 【図3】本発明を説明するための断面図である。
- 【図4】本発明を説明するための断面図である。
- 【図5】本発明を説明するための平面図である。
- 【図6】本発明を説明するための断面図である。
- 【図7】本発明を説明するための平面図である。
- 【図8】本発明を説明するための断面図である。
- 【図9】本発明を説明するための斜視図である。
- 【図10】本発明を説明するための断面図である。
- 【図11】本発明を説明するための図である。
- 【図12】従来例を説明するための図である。

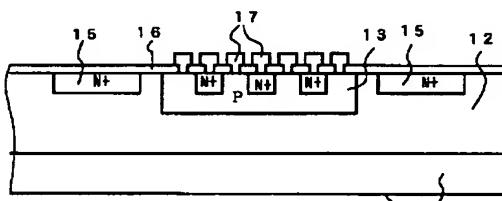
【図1】



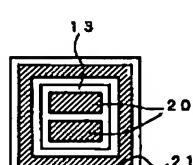
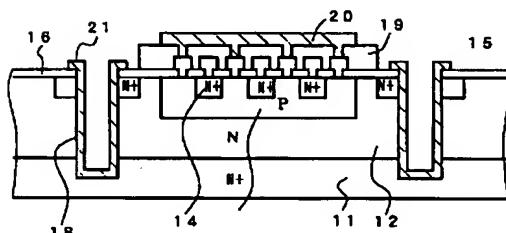
【図2】



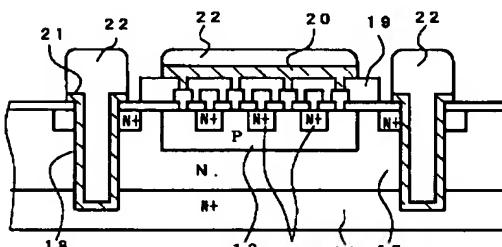
【図3】



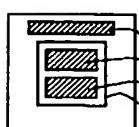
【図4】



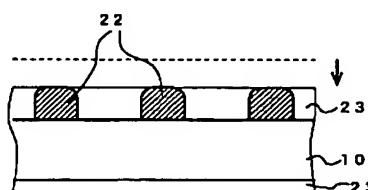
【図6】



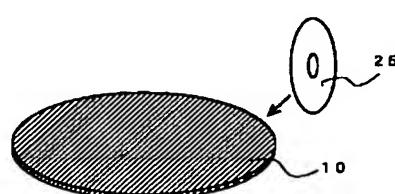
【図7】



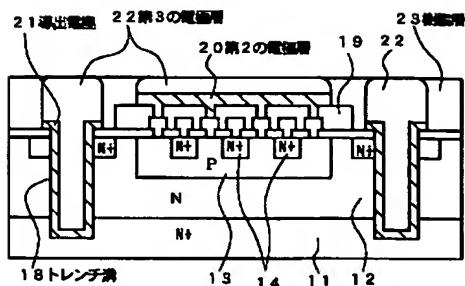
【図8】



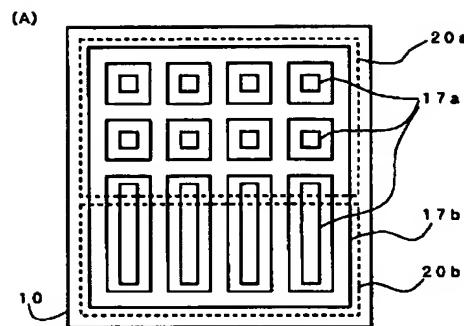
【図9】



【図10】



【図11】



【図12】

